

**FIELD-EFFECT TRANSISTOR**

Patent Number: JP9289216  
Publication date: 1997-11-04  
Inventor(s): TANABE MITSURU  
Applicant(s):: MATSUSHITA ELECTRON CORP  
Requested Patent: ☐ JP9289216  
Application JP19960102225 19960424  
Priority Number(s):  
IPC Classification: H01L21/338 ; H01L29/812  
EC Classification:  
Equivalents: JP3154939B2

---

**Abstract**

---

**PROBLEM TO BE SOLVED:** To apply a high electric field to a portion below a gate electrode even with low drain bias voltage in a field-effect transistor comprising a wide gap semiconductor.

**SOLUTION:** This device comprises a channel layer 12 made of an n type SiC into which nitrogen is doped on an SiC semiconductor substrate 11, a first conductive layer 13B and a second conductive layer 13C both comprising an n+t type SiC into which higher concentration nitrogen than the channel layer 12 is doped on the channel layer 12, and an Ni source electrode 17B on the first conductive layer 13B and an Ni drain electrode 17C on the second conductive layer 13C. An Al gate electrode 19B is formed on the first conductive layer 13B so as to stride a side part of the first conductive layer 13B in the length direction of the same on the side of the drain electrode 17C.

---

Data supplied from the esp@cenet database - I2

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **09289216 A**

(43) Date of publication of application: **04 . 11 . 97**

(51) Int. Cl.

**H01L 21/338**  
**H01L 29/812**

(21) Application number: **08102225**

(22) Date of filing: **24 . 04 . 96**

(71) Applicant: **MATSUSHITA ELECTRON CORP**

(72) Inventor: **TANABE MITSURU**

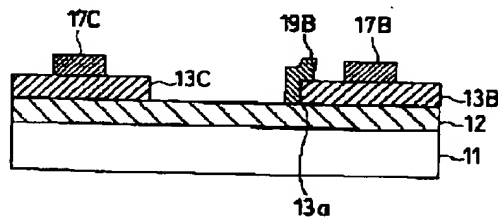
**(54) FIELD-EFFECT TRANSISTOR**

(57) Abstract:

**PROBLEM TO BE SOLVED:** To apply a high electric field to a portion below a gate electrode even with low drain bias voltage in a field-effect transistor comprising a wide gap semiconductor.

**SOLUTION:** This device comprises a channel layer 12 made of an n type SiC into which nitrogen is doped on an SiC semiconductor substrate 11, a first conductive layer 13B and a second conductive layer 13C both comprising an n+t type SiC into which higher concentration nitrogen than the channel layer 12 is doped on the channel layer 12, and an Ni source electrode 17B on the first conductive layer 13B and an Ni drain electrode 17C on the second conductive layer 13C. An Al gate electrode 19B is formed on the first conductive layer 13B so as to stride a side part of the first conductive layer 13B in the length direction of the same on the side of the drain electrode 17C.

COPYRIGHT: (C)1997,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-289216

(43) 公開日 平成9年(1997)11月4日

(51) Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/338 29/812		9447-4M	H 0 1 L 29/80	B

審査請求 未請求 請求項の数9 O L (全 17 頁)

(21) 出願番号 特願平8-102225

(22) 出願日 平成8年(1996)4月24日

(71) 出願人 000005843

松下電子工業株式会社  
大阪府高槻市幸町1番1号

(72) 発明者 田邊 充

大阪府高槻市幸町1番1号 松下電子工業  
株式会社内

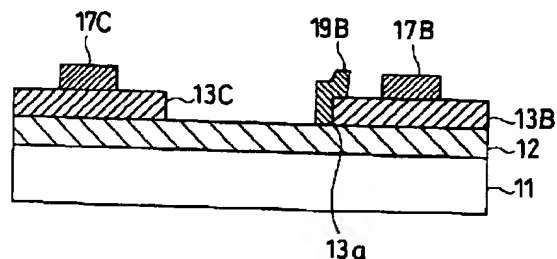
(74) 代理人 弁理士 前田 弘 (外2名)

(54) 【発明の名称】 電界効果型トランジスタ

(57) 【要約】

【課題】 ワイドギャップ半導体からなる電界効果型トランジスタにおいて、低いドレインバイアス電圧であってもゲート電極下に高電界を印加することができるようにする。

【解決手段】 SiCよりなる半導体基板11の上に窒素がドーパされたn型SiCよりなるチャネル層12と、チャネル層12の上にチャネル層12よりも高濃度の窒素がドーパされたn<sup>+</sup>型SiCよりなる第1の導電層13B及び第2の導電層13Cと、第1の導電層13Bの上にNiよりなるソース電極17B及び第2の導電層13Cの上にNiよりなるドレイン電極17Cとが形成されている。Alよりなるゲート電極19Bは第1の導電層13Bの上に第1の導電層13Bのゲート長方向のドレイン電極17C側の側辺部を跨ぐように形成されている。



## 【特許請求の範囲】

【請求項1】 半導体基板上に形成されたチャネル層及び導電層と、

前記導電層の上に該導電層のゲート長方向の一方の側辺部を跨ぐように形成されたゲート電極とを備えていることを特徴とする電界効果型トランジスタ。

【請求項2】 前記導電層は前記チャネル層よりも不純物の濃度が高濃度にドーピングされていることを特徴とする請求項1に記載の電界効果型トランジスタ。

【請求項3】 前記導電層は前記チャネル層の上に前記側辺部が段差部となるように形成されており、前記チャネル層は前記導電層よりも電子親和力が小さいことを特徴とする請求項1に記載の電界効果型トランジスタ。

【請求項4】 前記チャネル層はGa<sub>0.5</sub>N<sub>0.5</sub>よりなり、前記導電層はInGa<sub>0.5</sub>N<sub>0.5</sub>よりなることを特徴とする請求項3に記載の電界効果型トランジスタ。

【請求項5】 前記導電層は前記チャネル層の上に、前記側辺部が段差部となり且つ該段差部の側面がくし歯形状又はのこぎり歯形状になるように形成されていることを特徴とする請求項1に記載の電界効果型トランジスタ。

【請求項6】 前記チャネル層と前記導電層とは互いに逆の導電型であることを特徴とする請求項1に記載の電界効果型トランジスタ。

【請求項7】 半導体基板上に形成され、上面部にゲート幅方向に延び且つ隅部を有する溝が形成された導電層と、

前記導電層の上に前記溝の隅部を跨ぐように形成されたゲート電極とを備えていることを特徴とする電界効果型トランジスタ。

【請求項8】 半導体基板上にゲート幅方向にくびれたくびれ部を有する導電層と、

前記導電層の上に前記くびれ部を跨ぐように形成されたゲート電極とを備えていることを特徴とする電界効果型トランジスタ。

【請求項9】 前記チャネル層及び導電層の少なくとも1つはSiC、Ga<sub>0.5</sub>N<sub>0.5</sub>又はInGa<sub>0.5</sub>N<sub>0.5</sub>よりなることを特徴とする請求項1、7又は8に記載の電界効果型トランジスタ。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、禁制帯のエネルギーギャップが大きなワイドギャップ半導体を用いた電界効果型トランジスタに関する。

## 【0002】

【従来の技術】電界効果型トランジスタ（以下、FETと略称する）をより高い周波数領域において動作させるには、FETの遮断周波数 $f_t$ を高くすることが最も有効である。遮断周波数 $f_t$ を高くするには、飽和速度が

大きな半導体材料を選ぶか又はゲート長を短縮するかが望ましい。

【0003】これまで、電子飽和速度が大きな半導体材料として、一般に、GaAs（ガリウム・ヒ素）やInGaAs（インジウム・ガリウム・ヒ素）に代表されるAsをV族とするIII-V族化合物半導体がいわれてきた。しかしながら、図27に示すように、SiC（シリコン・カーバイド）やGaN（ガリウム・ナイトライド）といったいわゆるワイドギャップ半導体は、これらGaAs等の材料よりもさらに高い電子飽和速度を有することがシミュレーションにより明らかにされ、最近注目されている。さらに、GaAs、InGaAsが約5kV/cmと非常に低い電界でピーク速度に達し、FET動作時のチャネル中の電界（約100kV/cm）では飽和してしまっているのに対し、GaNなどは、この電界領域でピーク速度に達するため、GaNなどによりFETを作成すれば飽和速度以上の速度で電子が走行するという都合のよい性質も持ち合わせている。

【0004】このように、SiCやGaN等のワイドギャップ半導体は高周波デバイス材料として非常に有望であるといえる。

## 【0005】

【発明が解決しようとする課題】しかしながら、前記従来のワイドギャップ半導体からなる電界効果型トランジスタは高抵抗であり導電性が低いため、ゲート電極下に高電界を印加するにはGaAsなどのIII-V化合物半導体に比べて高いドレインバイアス電圧を印加する必要があるため、低消費電力化が図れないという問題を有していた。

【0006】本発明は前記従来の問題を解決し、低いドレインバイアス電圧であってもゲート電極下に高電界を印加することができるようにすることを目的とする。

## 【0007】

【課題を解決するための手段】前記の目的を達成するため、請求項1の発明が講じた解決手段は、電界効果型トランジスタを、半導体基板上に形成されたチャネル層及び導電層と、前記導電層の上に該導電層のゲート長方向の一方の側辺部を跨ぐように形成されたゲート電極とを備えている構成とするものである。

【0008】なお、前記導電層は前記半導体基板の表面部に形成されていても、又は前記半導体基板の上に直接若しくは他の層を介して形成されていてもよい。

【0009】請求項1の構成により、ソース・ドレイン電極に向かう電気力線が前記側辺部に集中するため、側辺部の近傍が高電界となるので、大きな電子速度を得られるようになり、従って、該側辺部にゲート電極を形成することにより、大きな電子速度を変調できることになる。

【0010】請求項2の発明は、請求項1の構成に、前記導電層は前記チャネル層よりも不純物の濃度が高濃度

にドーピングされている構成を付加するものである。

【0011】請求項3の発明は、請求項1の構成に、前記導電層は前記チャンネル層の上に前記側辺部が段差部となるように形成されており、前記チャンネル層は前記導電層よりも電子親和力が小さい構成を付加するものである。

【0012】請求項4の発明は、請求項3の構成に、前記チャンネル層はGa<sub>0.5</sub>N<sub>0.5</sub>よりなり、前記導電層はInGa<sub>0.5</sub>N<sub>0.5</sub>よりなる構成を付加するものである。

【0013】請求項5の発明は、請求項1の構成に、前記導電層は前記チャンネル層の上に、前記側辺部が段差部となり且つ該段差部の側面がくし歯形状又はのこぎり歯形状になるように形成されている構成を付加するものである。

【0014】請求項6の発明は、請求項1の構成に、前記チャンネル層と前記導電層とは互いに逆の導電型である構成を付加するものである。

【0015】請求項7の発明が講じた解決手段は、電界効果型トランジスタを、半導体基板上に形成され、上面部にゲート幅方向に延び且つ隅部を有する溝が形成された導電層と、前記導電層の上に前記溝の隅部を跨ぐように形成されたゲート電極とを備えている構成とするものである。

【0016】請求項7の構成により、ソース・ドレイン電極に向かう電気力線が導電層の溝の隅部に集中するため、溝の隅部の近傍が高電界となるので、大きな電子速度を得られるようになり、従って、該隅部にゲート電極を形成することにより、大きな電子速度を変調できることになる。

【0017】請求項8の発明が講じた解決手段は、電界効果型トランジスタを、半導体基板の上にゲート幅方向にくびれたくびれ部を有する導電層と、前記導電層の上に前記くびれ部を跨ぐように形成されたゲート電極とを備えている構成とするものである。

【0018】請求項8の構成により、ソース・ドレイン電極に向かう電気力線が導電層における他の部分よりも断面積の小さなくびれ部に集中するため、くびれ部の近傍が高電界となるので、大きな電子速度が得られるようになり、従って、該くびれ部にゲート電極を形成することにより、大きな電子速度を変調できることになる。

【0019】請求項9の発明は、請求項1、7又は8の構成に、前記チャンネル層又は導電層はSiC、Ga<sub>0.5</sub>N<sub>0.5</sub>又はInGa<sub>0.5</sub>N<sub>0.5</sub>である構成を付加するものである。

【0020】

【発明の実施の形態】

(第1の実施形態) 本発明の第1の実施形態に係る電界効果型トランジスタを図面に基いて説明する。

【0021】図1は本発明の第1の実施形態に係る電界効果型トランジスタの断面図である。図1に示すように、SiCよりなる半導体基板11の上に $1 \times 10^{17} \text{ cm}^{-3}$

$\text{m}^{-3}$ の窒素がドーピングされたn型SiCよりなるチャンネル層12と、チャンネル層12の上にチャンネル層12よりも高濃度である $1 \times 10^{18} \text{ cm}^{-3}$ の窒素がドーピングされたn<sup>+</sup>型SiCよりなる第1の導電層13B及び第2の導電層13Cと、第1の導電層13Bの上にNi(ニッケル)よりなるソース電極17B及び第2の導電層13Cの上にNiよりなるドレイン電極17Cとが形成されており、Al(アルミニウム)よりなるゲート電極19Bは第1の導電層13Bの上に第1の導電層13Bのゲート長方向のドレイン電極17C側の側辺部を跨ぐように形成されている。

【0022】以下、前記のように構成された電界効果型トランジスタの動作を説明する。

【0023】例えば、図1に示すドレイン電極17CにGaAs等よりなるナローギャップ半導体に印加する程度の正のドレインバイアス電圧を印加したとすると、ドレイン電極17Cからソース電極17Bに向かう電気力線は第1の導電層13Bのゲート電極19Bが形成されている側の段差を有する側辺部13aに集中する。また、ソース電極17Bの下に形成されている第1の導電層13Bは、第1の導電層13Bの下に形成されているチャンネル層12よりも高濃度にドーピングされており、n型のキャリア密度が高い第1の導電層13Bと第1の導電層13Bよりもn型のキャリア密度が低いチャンネル層12とが接合しているため、拡散電位は第1の導電層13Bの方がチャンネル層12よりも低くなり、従って、側辺部13aにはより高い電界が集中する。その結果、側辺部13aの近傍が高電界となるので、大きな電子速度を得られることになる。

【0024】従って、本実施形態によると、低いドレインバイアス電圧であっても、高い電子速度が得られるため、高周波的に優れた特性を有する低消費電力のワイドギャップ半導体からなるFETを得ることができる。

【0025】なお、本実施形態においては、ワイドギャップ半導体としてSiCを用いたが、Ga<sub>0.5</sub>N<sub>0.5</sub>又はInGa<sub>0.5</sub>N<sub>0.5</sub>(インジウム・ガリウム・ナイトライド)等を用いても同様の効果が得られる。

【0026】以下、本発明の第1の実施形態に係る電界効果型トランジスタの製造方法を図面に基いて説明する。

【0027】図2～図5は本発明の第1の実施形態に係る電界効果型トランジスタの製造方法の工程順断面図である。まず、図2(a)に示すように、例えばMOCVD法によって、SiCよりなる半導体基板11の上に $1 \times 10^{17} \text{ cm}^{-3}$ の窒素をドーピングしたSiCよりなるチャンネル層12と、 $1 \times 10^{18} \text{ cm}^{-3}$ の窒素をドーピングしたSiCよりなる導電膜13Aとをエピタキシャル成長させた後、図2(b)に示すように、フォトリソグラフィーにより導電膜13Aの上にレジストパターン14を選択的に形成する。

【0028】次に、図3(a)に示すように、スパッタリングにより半導体基板11の全面にわたってインジウム・スズ酸化膜15を堆積した後、図3(b)に示すようにレジストパターン14をリフトオフしてインジウム・スズ酸化膜15に開口部15aを形成する。

【0029】次に、図3(c)に示すように、例えば、 $\text{CF}_4$ （四フッ化炭素）中に17%の $\text{O}_2$ （酸素）を混合したガスを用いたECRプラズマエッチングによりインジウム・スズ酸化膜15をマスクとして導電膜13Aに対してエッチングを行なって、第1の導電層13B及び第2の導電層13Cを形成する。

【0030】次に、図4(a)に示すように、インジウム・スズ酸化膜15を除去し、フォトリソグラフィによりオーミック電極形成領域16aを開口したレジストパターン16を形成した後、図4(b)に示すように、半導体基板11の全面にわたってNiよりなるオーミック電極形成膜17Aを蒸着し、その後、図4(c)に示すように、レジストパターン16をリフトオフしてソース電極17B及びドレイン電極17Cを形成する。

【0031】なお、ソース電極17B及びドレイン電極17Cは一例に過ぎず、17Bをドレイン電極とし、17Cをソース電極としてもかまわない。

【0032】次に、図5(a)に示すように、フォトリソグラフィにより第1の導電層13Bの上におけるドレイン電極側のチャネル層12が露出する段差部となる側辺部13aにゲート電極形成領域18aを開口したレジストパターン18を形成した後、図5(b)に示すように、半導体基板11の全面にわたってAlよりなるゲート電極形成膜19Aを蒸着し、その後、レジストパターン18をリフトオフして、ゲート電極19Bを形成して、図1に示す電界効果型トランジスタを得る。

【0033】（第1の実施形態の第1及び第2変形例）以下、本発明の第1の実施形態に係る変形例の電界効果型トランジスタを図面に基づいて説明する。

【0034】図6(a)は本発明の第1の実施形態の第1変形例に係る電界効果型トランジスタの平面図である。図6(a)に示すように、SiCよりなる半導体基板の上に $1 \times 10^{17} \text{ cm}^{-3}$ の窒素がドーパされたn型SiCよりなるチャネル層12と、チャネル層12の上にチャネル層12よりも高濃度である $1 \times 10^{18} \text{ cm}^{-3}$ の窒素がドーパされた $\text{n}^+$ 型SiCよりなるドレイン電極17C側の段差部の側面がのこぎり歯形状である第1の導電層13B、及び第2の導電層13Cと、第1の導電層13Bの上にNiよりなるソース電極17B、第2の導電層13Cの上にNiよりなるドレイン電極17Cとが形成されており、ゲート電極19Bは第1の導電層13Bの上に第1の導電層13Bのゲート長方向ののこぎり歯形状の段差部13bを跨ぐように形成されている。

【0035】本変形例によると、例えば、ドレイン電極17Cからソース電極17Bに向かう電気力線が、複数

ののこぎり歯形状のそれぞれの先端部に特に集中するため、のこぎり歯形状の各段差部13bのそれぞれの先端部の近傍が一層の高電界となるので、より高い電子速度が得られる。

【0036】従って、本変形例によると、低いドレインバイアス電圧であっても、より大きな電子速度が得られるため、高周波的に優れた特性を有する低消費電力のワイドギャップ半導体からなるFETを実現することができる。

【0037】図6(b)は本発明の第1の実施形態に係る第2変形例の電界効果型トランジスタの平面図である。図6(a)に示した電界効果型トランジスタとの違いは、第1の導電層13Bにおけるドレイン電極17C側の段差部の側面がくし歯形状であって、ゲート電極19Bが第1の導電層13Bのくし歯形状の段差部13cを跨ぐように形成されていることである。

【0038】第1の変形例と同様に、チャネル層12とソース電極17Bとの間を流れる電気力線が複数のくし歯形状のそれぞれの先端部に特に集中するため、くし歯形状の各段差部13cのそれぞれの先端部の近傍が一層の高電界となるので、より高い電子速度が得られる。

【0039】従って、本変形例によっても、第1の変形例と同様の効果が得られる。

【0040】（第2の実施形態）以下、本発明の第2の実施形態に係る電界効果型トランジスタを図面に基づいて説明する。

【0041】図7は本発明の第2の実施形態に係る電界効果型トランジスタの断面図である。図7に示すように、SiCよりなる半導体基板21の上に $1 \times 10^{17} \text{ cm}^{-3}$ のAlがドーパされたp型SiCよりなるチャネル層22と、チャネル層22の上に $1 \times 10^{18} \text{ cm}^{-3}$ の窒素がドーパされた $\text{n}^+$ 型SiCよりなる第1の導電層23B及び第2の導電層23Cと、第1の導電層23Bの上にNiよりなるソース電極27B及び第2の導電層23Cの上にNiよりなるドレイン電極27Cとが形成されており、Alよりなるゲート電極29Bは第1の導電層23Bの上に第1の導電層23Bのゲート長方向のドレイン電極27C側の側辺部を跨ぐように形成されている。

【0042】以下、前記のように構成された電界効果型トランジスタの動作を説明する。

【0043】例えば、図7に示すドレイン電極27CにGaAs等のナローギャップ半導体に印加する程度の正のドレインバイアス電圧を印加したとすると、ドレイン電極27Cからソース電極27Bに向かう電気力線は第1の導電層23Bのゲート電極29Bが形成されている側の段差を有する側辺部23aにさらに集中する。また、ソース電極27Bの下に形成されている第1の導電層23Bはn型のキャリアを有し、チャネル層はp型のキャリアを有しているため、第1の導電層23Bとチャ

ネル層22との界面の拡散電位は、第1の実施形態と比較して第1の導電層23Bの方がチャンネル層22よりもさらに低くなり、従って、側辺部23aには、より一層高い電界が集中する。その結果、側辺部23aの近傍がさらに高電界となるので、大きな電子速度を容易に得られることになる。

【0044】従って、本実施形態によると、低いドレインバイアス電圧であっても、大きな電子速度が確実に得られるため、高周波的に優れた特性を有する低消費電力のワイドギャップ半導体からなるFETを得ることができる。

【0045】なお、本実施形態においては、ワイドギャップ半導体としてSiCを用いたが、GaN又はInGaN等を用いても同様の効果が得られる。

【0046】以下、本発明の第2の実施形態に係る電界効果型トランジスタの製造方法を図面に基いて説明する。

【0047】図8～図11は本発明の第2の実施形態に係る電界効果型トランジスタの製造方法の工程順断面図である。まず、図8(a)に示すように、例えばMOCVD法によって、SiCよりなる半導体基板21の上に $1 \times 10^{17} \text{ cm}^{-3}$ のAlをドーピングしたp型SiCよりなるチャンネル層22と、 $1 \times 10^{18} \text{ cm}^{-3}$ の窒素をドーピングしたn<sup>+</sup>型SiCよりなる導電膜23Aとをエピタキシャル成長させた後、図8(b)に示すように、フォトリソグラフィーにより導電膜23Aの上にレジストパターン24を選択的に形成する。

【0048】次に、図9(a)に示すように、スパッタリングにより半導体基板21の全面にわたってインジウム・スズ酸化膜25を堆積した後、図9(b)に示すようにレジストパターン24をリフトオフしてインジウム・スズ酸化膜25に開口部25aを形成する。

【0049】次に、図9(c)に示すように、例えば、CF<sub>4</sub>中に17%のO<sub>2</sub>を混合したガスを用いたECRプラズマエッチングによりインジウム・スズ酸化膜25をマスクとして導電膜23Aに対してエッチングを行なうと、第1の導電層23B及び第2の導電層23Cを形成する。

【0050】次に、図10(a)に示すように、インジウム・スズ酸化膜25を除去し、フォトリソグラフィーによりオーミック電極形成領域26aを開口したレジストパターン26を形成した後、図10(b)に示すように、半導体基板21の全面にわたってNiよりなるオーミック電極形成膜27Aを蒸着し、その後、図10(c)に示すように、レジストパターン26をリフトオフしてソース電極27B及びドレイン電極27Cを形成する。

【0051】なお、ソース電極27B及びドレイン電極27Cは一例に過ぎず、27Bをドレイン電極とし、27Cをソース電極としてもかまわない。

【0052】次に、図11(a)に示すように、フォトリソグラフィーにより第1の導電層23Bの上におけるドレイン電極側のチャンネル層22が露出する段差部となる側辺部23aにゲート電極形成領域28aを開口したレジストパターン28を形成した後、図11(b)に示すように、半導体基板21の全面にわたってAlよりなるゲート電極形成膜29Aを蒸着し、その後、レジストパターン28をリフトオフすることによってゲート電極29Bを形成して図7に示す電界効果型トランジスタを得る。

【0053】(第3の実施形態)以下、本発明の第3の実施形態に係る電界効果型トランジスタを図面に基いて説明する。図12は本発明の第3の実施形態に係る電界効果型トランジスタの断面図である。図12に示すように、Al<sub>2</sub>O<sub>3</sub>(サファイア)よりなる基板31の上に、基板31とアンドープ層33との格子整合をとるAlN(アルミニウム・ナイトライド)よりなるバッファ層32と、GaNよりなるアンドープ層33と、 $1 \times 10^{17} \text{ cm}^{-3}$ のSiがドーピングされたn型GaNよりなるチャンネル層34と、チャンネル層34の上にチャンネル層34よりも高濃度の $1 \times 10^{19} \text{ cm}^{-3}$ のSiがドーピングされたn<sup>+</sup>型InGaNよりなる第1の導電層35B及び第2の導電層35Cと、第1の導電層35Bの上にTi(チタン)/Alよりなるソース電極39B及び第2の導電層35Cの上に同じくTi/Alよりなるドレイン電極39Cとが形成されており、Pt(白金)/Au(金)よりなるゲート電極41Bは第1の導電層35Bの上に第1の導電層35Bのゲート長方向のドレイン電極39C側の側辺部35aを跨ぐように形成されている。

【0054】以下、前記のように構成された電界効果型トランジスタの動作を説明する。

【0055】例えば、図12に示すドレイン電極39CにGaAs等のナローギャップ半導体に印加する程度の正のドレインバイアス電圧を印加したとすると、ドレイン電極39Cからソース電極39Bに向かう電気力線は第1の導電層35Bのゲート電極39Bが形成されている側の側辺部35aに集中する。また、ソース電極39Bの下に形成されている第1の導電層35Bは、第1の導電層35Bと接合しているチャンネル層34よりもn型のキャリア密度が高く、その上、両者はヘテロ接合であって、チャンネル層34を形成するGaNの電子親和力 $\chi_1$ は第1の導電層35Bを形成するInGaNの電子親和力 $\chi_2$ よりも小さいため、第1の導電層35Bとチャンネル層34との界面の拡散電位に、導電帯のエネルギーバンドに不連続な“とび”(すなわち $\Delta E_c = |\chi_2 - \chi_1|$ )が発生するので、第1の導電層35Bの拡散電位はチャンネル層34よりも $\Delta E_c$ 分が低くなり、従って、側辺部35aにはより一層高い電界が集中する。その結果、側辺部35aの近傍がさらに高電界となるので、

大きな電子速度を一層容易に得られることになる。

【0056】従って、本実施形態によると、低いドレインバイアス電圧であっても、高い電子速度が得られるため、高周波的に優れた特性を有する低消費電力のワイドギャップ半導体からなるFETを得ることができる。

【0057】以下、本発明の第3の実施形態に係る電界効果型トランジスタの製造方法を図面に基づいて説明する。

【0058】図13～図16は本発明の第3の実施形態に係る電界効果型トランジスタの製造方法の工程順断面図である。まず、図13(a)に示すように、例えばMOCVD法により $\text{Al}_2\text{O}_3$ よりなる基板31の上に、基板31とアンドープ層33との格子整合をとる $\text{AlN}$ よりなる30nmの厚さのパッファ層32と、 $\text{GaN}$ よりなる1 $\mu\text{m}$ の厚さのアンドープ層33と、 $1 \times 10^{17} \text{ cm}^{-3}$ の $\text{Si}$ をドーパしたn型 $\text{GaN}$ よりなるチャンネル層34と、 $1 \times 10^{19} \text{ cm}^{-3}$ の $\text{Si}$ をドーパしたn<sup>+</sup>型 $\text{InGaN}$ よりなる導電膜35Aとをエピタキシャル成長させる。

【0059】次に、図13(b)に示すように、導電膜35Aの上の全面にわたってシリコン窒化膜36を100nmの厚さに堆積し、シリコン窒化膜36の上にフォトリソグラフィーにより所定の開口部37aを有するレジストパターン37を形成した後、図14(a)に示すように、レジストパターン37をマスクとしてシリコン窒化膜36に対して $\text{CF}_4$ を用いたRIEエッチングを行なう。その後、図14(b)に示すように、レジストパターン37を除去する。

【0060】次に、図14(c)に示すように、導電膜35Aに対して、例えば $\text{Cl}_2$ （塩素）/ $\text{H}_2$ （水素）/ $\text{CH}_4$ （メタン）/ $\text{Ar}$ （アルゴン）からなる混合ガスを用いたECRプラズマエッチングを行なって、第1の導電層35B及び第2の導電層35Cを形成する。

【0061】次に、図15(a)に示すように、シリコン窒化膜36を除去した後、フォトリソグラフィーによりオーミック電極形成領域38aを開口したレジストパターン38を形成した後、図15(b)に示すように、基板31の全面にわたって $\text{Ti}/\text{Al}$ よりなるオーミック電極形成膜39Aを蒸着し、その後、図15(c)に示すように、レジストパターン38をリフトオフしてソース電極39B及びドレイン電極39Cを形成する。なお、ソース電極39B及びドレイン電極39Cは一例に過ぎず、39Bをドレイン電極とし、39Cをソース電極としてもかまわない。

【0062】次に、図16(a)に示すように、フォトリソグラフィーにより第1の導電層35Bの上におけるドレイン電極側のチャンネル層34が露出する段差部となる側辺部35aにゲート電極形成領域40aを開口したレジストパターン40を形成した後、図16(b)に示すように、基板31の全面にわたって $\text{Pt}/\text{Au}$ よりな

るゲート電極形成膜41Aを蒸着し、その後、レジストパターン40をリフトオフすることによってゲート電極41Bを形成して図12に示す電界効果型トランジスタを得る。

【0063】（第4の実施形態）以下、本発明の第4の実施形態に係る電界効果型トランジスタを図面に基づいて説明する。図17は本発明の第4の実施形態に係る電界効果型トランジスタの断面図である。図17に示すように、 $\text{SiC}$ よりなる半導体基板45に、窒素のドーズ量が $1 \times 10^{15} \text{ cm}^{-2}$ となるようにそれぞれ形成されたn<sup>+</sup>オーミックコンタクト領域45aと、窒素のドーズ量が $1 \times 10^{14} \text{ cm}^{-2}$ となるようにそれぞれ形成されたチャンネル層としてのn<sup>-</sup>活性領域45bと、窒素のドーズ量が $1 \times 10^{15} \text{ cm}^{-2}$ となるように形成された導電層としてのn<sup>+</sup>活性領域45cと、n<sup>+</sup>オーミックコンタクト領域45a上にそれぞれ形成された $\text{Ni}$ よりなるソース電極51B及びドレイン電極51Cとが形成されており、 $\text{Al}$ よりなるゲート電極53Bはn<sup>+</sup>活性領域45cの上にn<sup>+</sup>活性領域45cのゲート長方向のドレイン電極51C側の側辺部を跨ぐように形成されている。

【0064】以下、前記のように構成された電界効果型トランジスタの動作を説明する。

【0065】例えば、図17に示すドレイン電極51Cにナローギャップ半導体に印加する程度の正のドレインバイアス電圧を印加したとすると、ドレイン電極51Cからソース電極51Bに向かう電気力線がn<sup>+</sup>活性領域45cのドレイン電極51Cが形成されている側の側辺部45dに集中する。また、ゲート電極53Bの下に形成されているn<sup>+</sup>活性領域45cは、同じくゲート電極53Bの下に形成されているn<sup>-</sup>活性領域45bよりも高濃度にドーパされており、n型のキャリア密度が高いn<sup>+</sup>活性領域45cとn<sup>+</sup>活性領域45cよりもn型のキャリア密度が低いn<sup>-</sup>活性領域45bとが接合しているため、拡散電位はn<sup>+</sup>活性領域45cの方がn<sup>-</sup>活性領域45bよりも低くなり、従って、側辺部45dには高い電界が集中する。その結果、側辺部45dの近傍が高電界となるので、大きな電子速度を得られることになる。

【0066】従って、本実施形態によると、低いドレインバイアス電圧であっても、高い電子速度が得られるため、高周波的に優れた特性を有する低消費電力のワイドギャップ半導体からなるFETを得ることができる。

【0067】なお、本実施形態においては、ワイドギャップ半導体として $\text{SiC}$ を用いたが、 $\text{GaN}$ 又は $\text{InGaN}$ 等を用いても同様の効果が得られる。

【0068】以下、本発明の第4の実施形態に係る電界効果型トランジスタの製造方法を図面に基づいて説明する。

【0069】図18～図20は本発明の第4の実施形態



に係る電界効果型トランジスタの製造方法の工程順断面図である。まず、図18(a)に示すように、SiCよりなる半導体基板45に、各オーミック電極形成領域46aが開口されたレジストパターン46を形成し、例えば、加速電圧300keV、ドーズ量 $1 \times 10^{15} \text{ cm}^{-2}$ の窒素を注入した後、Arガスの雰囲気下において1000℃で10分間のアニールを行なって $n^+$  オーミックコンタクト領域45aをそれぞれ形成する。

【0070】次に、図18(b)に示すように、レジストパターン46を除去した後、チャンネル層形成領域を開口したレジストパターン47を形成し、例えば、加速電圧200KeV、ドーズ量 $1 \times 10^{14} \text{ cm}^{-2}$ の窒素を注入した後、Arガスの雰囲気下において1000℃で10分間のアニールを行なって $n^-$  活性領域45bをそれぞれ形成する。

【0071】次に、図19(a)に示すように、レジストパターン47を除去した後、半導体基板45の全面にわたってシリコン窒化膜48を300nmの厚さに堆積する。その後、図19(b)に示すように、開口部49aを有するレジストパターン49を形成して、例えば、加速電圧300KeV、ドーズ量 $1 \times 10^{15} \text{ cm}^{-2}$ の窒素を注入した後、Arガスの雰囲気下において1000℃で10分間のアニールを行なって $n^+$  活性領域45cを形成する。

【0072】次に、図19(c)に示すように、レジストパターン49及びシリコン窒化膜48を除去した後、 $n^+$  オーミックコンタクト領域45aを除く領域をレジストパターン50によってマスクして、半導体基板45の全面にわたってNiよりなるオーミック電極形成膜51Aを蒸着する。その後、図20(a)に示すように、レジストパターン50をリフトオフしてソース電極51B及びドレイン電極51Cを形成する。なお、ソース電極51B及びドレイン電極51Cは一例に過ぎず、51Bをドレイン電極とし、51Cをソース電極としてもかまわない。

【0073】次に、図20(b)に示すように、フォトリソグラフィーによりゲート電極形成領域52aを開口したレジストパターン52を形成した後、図20(c)に示すように、半導体基板45の全面にわたってAlよりなるゲート電極形成膜53Aを蒸着し、その後、レジストパターン52をリフトオフすることによってゲート電極53Bを形成して図17に示す電界効果型トランジスタを得る。

【0074】(第5の実施形態)以下、本発明の第5の実施形態に係る電界効果型トランジスタを図面に基づいて説明する。

【0075】図21(a)～(c)は本発明の第5の実施形態に係る電界効果型トランジスタの断面図である。図21(a)に示すように、SiCよりなる半導体基板55の上に窒素がドーパされたn型SiCよりなる導電

層56と、導電層56の上にNiよりなるソース・ドレイン電極57が選択的に形成されており、導電層56の上面部にはゲート幅方向に延びる断面V字形の溝が形成され、Alよりなるゲート電極58はV字形の溝の隅部56aを跨ぐように形成されている。

【0076】第5の実施形態によると、導電層56の内部においてソース・ドレイン電極57に向かう電気力線はV字形の溝の隅部56aの近傍に集中するため、V字形の溝の隅部56aの近傍が高電界となる。従って、ナローギャップ半導体に印加する程度の低いドレインバイアス電圧であっても、ゲート電極58の下方が高電界となり大きな電子速度を得られるので、優れた高周波特性を有する低消費電力のFETを得ることができる。

【0077】(第5の実施形態の第1及び第2変形例)図21(b)は第5の実施形態の第1変形例に係る電界効果型トランジスタの断面図であり、図21(c)は第5の実施形態の第2変形例に係る電界効果型トランジスタの断面図である。

【0078】(b)に示すゲート電極59は、導電層56の上面部に形成されたゲート幅方向に延びる断面V字形の溝を覆うように形成されており、(c)に示すゲート電極60は、導電層56の上面部に形成されたゲート幅方向に延びる断面方形の溝を覆うように形成されている。

【0079】第1変形例においても、ゲート電極59は電界が集中する導電層56におけるV字形の溝の隅部56bを覆うように形成されているため、また、第2変形例においても、同じくゲート電極60は電界が集中する導電層56における方形の溝の各隅部56cを覆うように形成されているため、前記第5の実施形態と同様の効果を有するFETを得ることができる。

【0080】(第6の実施形態)以下、本発明の第6の実施形態に係る電界効果型トランジスタを図面に基づいて説明する。

【0081】図22は本発明の第6の実施形態に係る電界効果型トランジスタの斜視図である。図22に示すように、SiCよりなる半導体基板65の上に $1 \times 10^{18} \text{ cm}^{-3}$ の窒素がドーパされたゲート幅方向にくびれ部を有する $n^+$  型SiCよりなる導電層66Bと、導電層66Bの上にNiよりなるソース・ドレイン電極70Bとがそれぞれ形成されており、ゲート電極72Bは導電層66Bのゲート幅方向のくびれ部66aを跨ぐように形成されている。

【0082】第6の実施形態によると、導電層66Bの内部においてソース・ドレイン電極70Bに向かう電気力線はV字形の溝の隅部56aの近傍に集中するため、くびれ部66aの近傍が高電界となる。従って、ナローギャップ半導体に印加する程度の低いドレインバイアス電圧であっても、くびれ部66aにおけるゲート電極72Bの下方が高電界となり大きな電子速度を得られるの

で、優れた高周波特性を有する低消費電力のFETを得ることができる。

【0083】以下、本発明の第6の実施形態に係る電界効果型トランジスタの製造方法を図面に基いて説明する。

【0084】図23～図26は本発明の第6の実施形態に係る電界効果型トランジスタの製造方法の工程順断面図又は工程順平面図である。まず、図23(a)の断面図に示すように、例えばMOCVD法によって、SiCよりなる半導体基板65の上に $1 \times 10^{18} \text{ cm}^{-3}$ の窒素をドーピングしたSiCよりなる導電膜66Aをエピタキシャル成長させた後、図23(b)の平面図に示すように、フォトリソグラフィにより導電膜66Aの上にゲート幅方向のくびれ部67aを有する鼓状に開口したレジストパターン67を形成する。

【0085】次に、図24(a)に示すように、スパッタリングによってインジウム・スズ酸化膜68を半導体基板65の全面にわたって堆積した後、図24(b)に示すように、レジストパターン67をリフトオフしてインジウム・スズ酸化膜68を鼓状に形成する。

【0086】次に、図24(c)に示すように、例えば、ECRプラズマエッチングにより $\text{CF}_4$ 中に17%の $\text{O}_2$ を混合したガスを用いて、導電膜66Aに対してエッチングを行なって鼓状のインジウム・スズ酸化膜68を除去することにより、ゲート幅方向にくびれた鼓状のくびれ部を有する導電層66Bを形成する。

【0087】次に、図25(a)に示すように、フォトリソグラフィにより、オーミック電極形成領域69aをそれぞれ開口したレジストパターン69を形成した後、図25(b)に示すように、半導体基板65の全面にわたってNiよりなるオーミック電極形成膜70Aを堆積し、図25(c)に示すように、レジストパターン69をリフトオフすることによってソース・ドレイン電極70Bを導電層66Bの上にそれぞれ形成する。

【0088】次に、図26(a)に示すように、フォトリソグラフィにより、図25(c)に示す導電層66Bのくびれ部66aを露出する開口部71aを有するレジストパターン71を形成した後、半導体基板65の全面にわたってAlよりなるゲート電極形成膜72Aを蒸着し、その後、レジストパターン71をリフトオフすることによって導電層66Bのゲート幅方向のくびれ部66aの上にゲート電極72Bを形成する。

【0089】

【発明の効果】請求項1の発明に係る電界効果型トランジスタによると、低いドレイン電圧であってもゲート電極下の近傍に大きな電子速度が得られるため、高速の電子を変調できるので、低消費電力で、且つ、高周波特性に優れた電界効果型トランジスタを得ることができる。

【0090】請求項2の発明に係る電界効果型トランジスタによると、導電層がチャネル層よりも不純物の濃度

が高濃度にドーピングされているため、導電層とチャネル層の接合部に生ずる拡散電位が大きくなるので、低いドレイン電圧であってもゲート電極下の近傍に確実に大きな電子速度を得ることができる。

【0091】請求項3の発明に係る電界効果型トランジスタによると、導電層はチャネル層の上にゲート電極側の側辺部が段差部となるように形成されており、チャネル層は導電層よりも電子親和力が小さいため、導電層とチャネル層との接合部における導電帯のエネルギーバンドに不連続が生じるので、前記接合部の拡散電位が一層大きくなり、低いドレイン電圧であってもゲート電極下の近傍に一層大きな電子速度を得ることができる。

【0092】請求項4の発明に係る電界効果型トランジスタによると、GaNよりなるチャネル層はInGaNよりなる導電層よりも電子親和力が小さいため、導電層とチャネル層との接合部における導電帯のエネルギーバンドの不連続を確実に生じさせることができる。

【0093】請求項5の発明に係る電界効果型トランジスタによると、導電層はチャネル層の上に、側辺部が段差部となり且つ該段差部の側面がくし歯形状又はのこぎり歯形状になるように形成されているため、ゲート電極下の電気力線がくし歯形状又はのこぎり歯形状の各先端部に特に集中するので、低いドレイン電圧であってもゲート電極下の近傍に一層大きな電子速度を得ることができる。

【0094】請求項6の発明に係る電界効果型トランジスタによると、チャネル層は導電層とは互いに逆の導電型であるため、導電層とチャネル層の接合部に生ずる拡散電位がより大きくなるので、低いドレイン電圧であってもゲート電極下の近傍に一層大きな電子速度を得ることができる。

【0095】請求項7の発明に係る電界効果型トランジスタによると、ソース・ドレイン電極に向かう電気力線が導電層のゲート幅方向に延びる溝の隅部に集中するため、溝の隅部の近傍が高電界となるので、大きな電子速度が得られるようになり、その結果、高速の電子を変調できるので、低消費電力で、且つ、高周波特性に優れた電界効果型トランジスタを得ることができる。

【0096】請求項8の発明に係る電界効果型トランジスタによると、導電層の内部においてソース・ドレイン電極に向かう電気力線が導電層のゲート幅方向にくびれたくびれ部に集中するため、くびれ部の近傍が高電界となるので、大きな電子速度が得られるようになり、その結果、高速の電子を変調できるので、低消費電力で、且つ、高周波特性に優れた電界効果型トランジスタを得ることができる。

【0097】請求項9の発明に係る電界効果型トランジスタによると、チャネル層又は導電層はSiC、GaN又はInGaNワイドギャップ半導体であるため、確実に低消費電力で、且つ、高周波特性に優れた電界効果型

トランジスタを得ることができる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態に係る電界効果型トランジスタの断面図である。

【図2】本発明の第1の実施形態に係る電界効果型トランジスタの製造方法の工程順断面図である。

【図3】本発明の第1の実施形態に係る電界効果型トランジスタの製造方法の工程順断面図である。

【図4】本発明の第1の実施形態に係る電界効果型トランジスタの製造方法の工程順断面図である。

【図5】本発明の第1の実施形態に係る電界効果型トランジスタの製造方法の工程順断面図である。

【図6】(a)は本発明の第1の実施形態の第1変形例に係る電界効果型トランジスタの平面図であり、(b)は本発明の第1の実施形態の第2変形例に係る電界効果型トランジスタの平面図である。

【図7】本発明の第2の実施形態に係る電界効果型トランジスタの断面図である。

【図8】本発明の第2の実施形態に係る電界効果型トランジスタの製造方法の工程順断面図である。

【図9】本発明の第2の実施形態に係る電界効果型トランジスタの製造方法の工程順断面図である。

【図10】本発明の第2の実施形態に係る電界効果型トランジスタの製造方法の工程順断面図である。

【図11】本発明の第2の実施形態に係る電界効果型トランジスタの製造方法の工程順断面図である。

【図12】本発明の第3の実施形態に係る電界効果型トランジスタの断面図である。

【図13】本発明の第3の実施形態に係る電界効果型トランジスタの製造方法の工程順断面図である。

【図14】本発明の第3の実施形態に係る電界効果型トランジスタの製造方法の工程順断面図である。

【図15】本発明の第3の実施形態に係る電界効果型トランジスタの製造方法の工程順断面図である。

【図16】本発明の第3の実施形態に係る電界効果型トランジスタの製造方法の工程順断面図である。

【図17】本発明の第4の実施形態に係る電界効果型トランジスタの断面図である。

【図18】本発明の第4の実施形態に係る電界効果型トランジスタの製造方法の工程順断面図である。

【図19】本発明の第4の実施形態に係る電界効果型トランジスタの製造方法の工程順断面図である。

【図20】本発明の第4の実施形態に係る電界効果型トランジスタの製造方法の工程順断面図である。

【図21】(a)は本発明の第5の実施形態に係る電界効果型トランジスタの断面図であり、(b)は本発明の第5の実施形態の第1変形例に係る電界効果型トランジスタの断面図であり、(c)は本発明の第5の実施形態の第2変形例に係る電界効果型トランジスタの断面図である。

【図22】本発明の第6の実施形態に係る電界効果型トランジスタの斜視図である。

【図23】(a)は本発明の第6の実施形態に係る電界効果型トランジスタの製造方法の工程順断面図であり、(b)、(c)は本発明の第6の実施形態に係る電界効果型トランジスタの製造方法の工程順平面図である。

【図24】本発明の第6の実施形態に係る電界効果型トランジスタの製造方法の工程順断面図である。

【図25】本発明の第6の実施形態に係る電界効果型トランジスタの製造方法の工程順断面図である。

【図26】本発明の第6の実施形態に係る電界効果型トランジスタの製造方法の工程順断面図である。

【図27】各半導体材料における電界(Electric Field)と電子の速度(Velocity)との相関関係を示す図である。

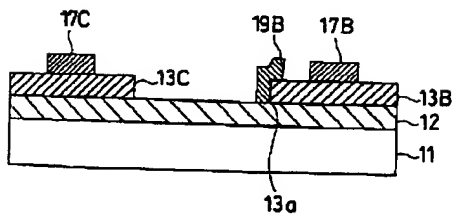
【符号の説明】

- 11 半導体基板
- 12 チャネル層
- 13A 導電膜
- 13B 第1の導電層
- 13a 側辺部
- 13b のこぎり歯形状の段差部
- 13c くし歯形状の段差部
- 13C 第2の導電層
- 14 レジストパターン
- 15 インジウム・スズ酸化膜
- 15a 開口部
- 16 レジストパターン
- 16a オーミック電極形成領域
- 17A オーミック電極形成膜
- 17B ソース電極
- 17C ドレイン電極
- 18 レジストパターン
- 18a ゲート電極形成領域
- 19A ゲート電極形成膜
- 19B ゲート電極
- 21 半導体基板
- 22 チャネル層
- 23A 導電膜
- 23B 第1の導電層
- 23a 側辺部
- 23C 第2の導電層
- 24 レジストパターン
- 25 インジウム・スズ酸化膜
- 25a 開口部
- 26 レジストパターン
- 26a オーミック電極形成領域
- 27A オーミック電極形成膜
- 27B ソース電極
- 27C ドレイン電極

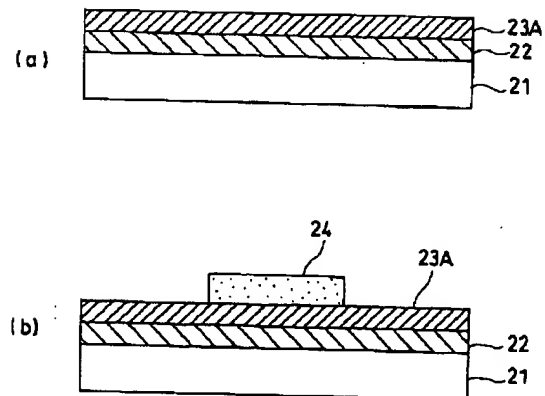
28 レジストパターン  
 28a ゲート電極形成領域  
 29A ゲート電極形成膜  
 29B ゲート電極  
 31 基板  
 32 バッファ層  
 33 アンドープ層  
 34 チャンネル層  
 35A 導電膜  
 35B 第1の導電層  
 35a 側辺部  
 35C 第2の導電層  
 36 シリコン窒化膜  
 37 レジストパターン  
 37a 開口部  
 38 レジストパターン  
 38a オーミック電極形成領域  
 39A オーミック電極形成膜  
 39B ソース電極  
 39C ドレイン電極  
 40 レジストパターン  
 40a ゲート電極形成領域  
 41A ゲート電極形成膜  
 41B ゲート電極  
 45 半導体基板  
 45a n<sup>+</sup> オーミックコンタクト領域  
 45b n<sup>-</sup> 活性領域  
 45c n<sup>+</sup> 活性領域  
 45d 側辺部  
 46 レジストパターン  
 46a オーミック電極形成領域  
 47 レジストパターン  
 48 シリコン窒化膜  
 49a 開口部

49 レジストパターン  
 50 レジストパターン  
 51A オーミック電極形成膜  
 51B ソース電極  
 51C ドレイン電極  
 52 レジストパターン  
 52a ゲート電極形成領域  
 53A ゲート電極形成膜  
 53B ゲート電極53B  
 55 半導体基板  
 56 導電層  
 56a V字形の溝の隅部  
 56b V字形の溝の隅部  
 56c 方形の溝の隅部  
 57 ソース・ドレイン電極  
 58 ゲート電極  
 59 ゲート電極  
 60 ゲート電極  
 65 半導体基板  
 66A 導電膜  
 66a くびれ部  
 66B 導電層  
 67 レジストパターン  
 67a くびれ部  
 68 インジウム・スズ酸化膜  
 69 レジストパターン  
 69a オーミック電極形成領域  
 70A オーミック電極形成膜  
 70B ソース・ドレイン電極  
 71 レジストパターン  
 71a 開口部  
 72A ゲート電極形成膜  
 72B ゲート電極

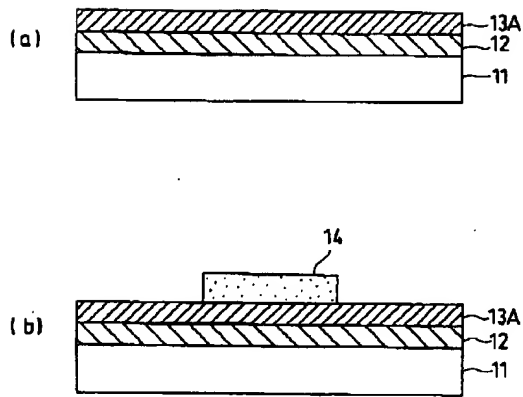
【図1】



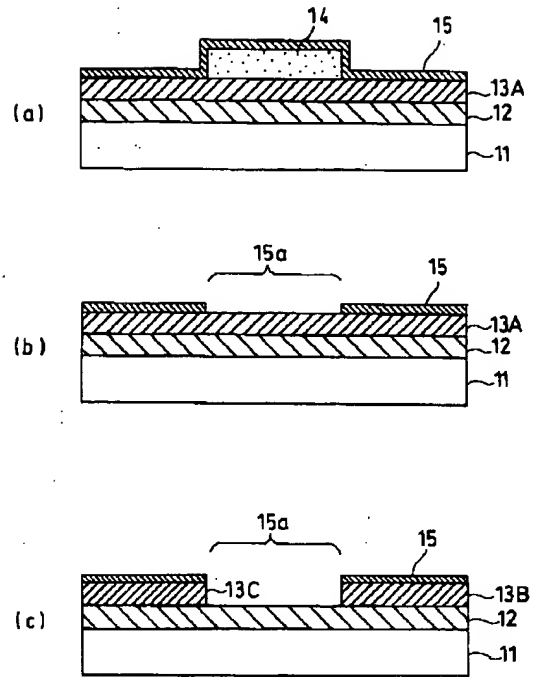
【図8】



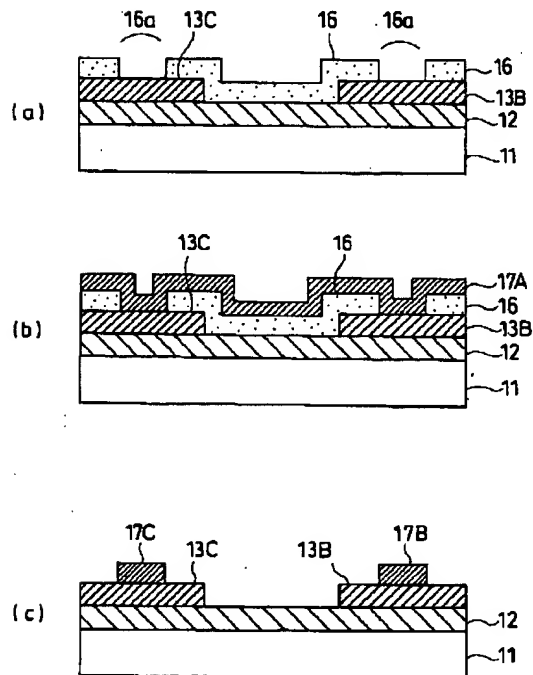
【図2】



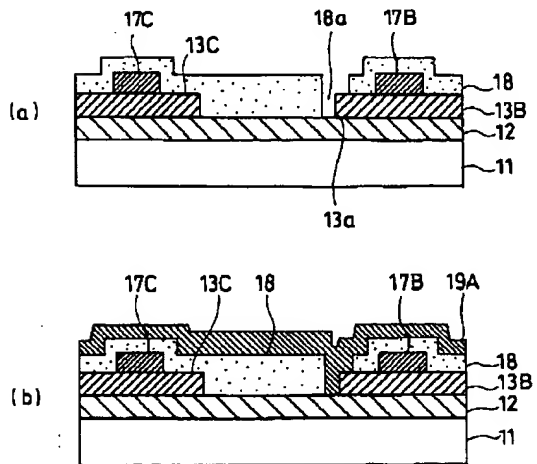
【図3】



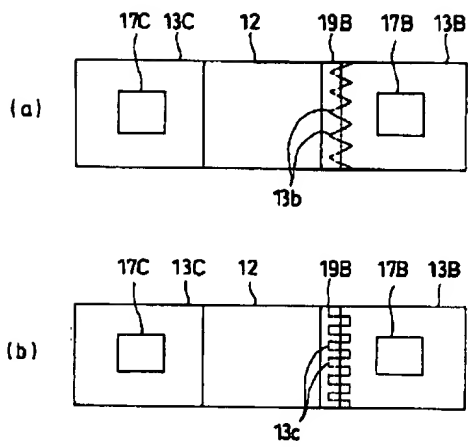
【図4】



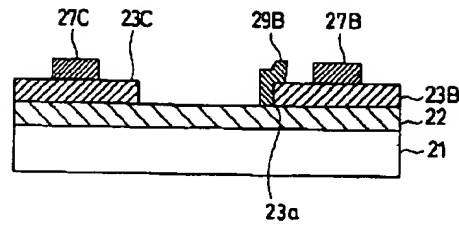
【図5】



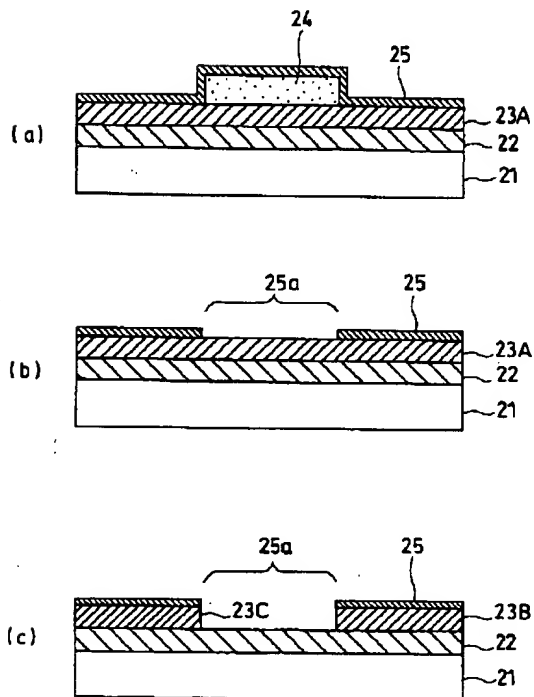
【図6】



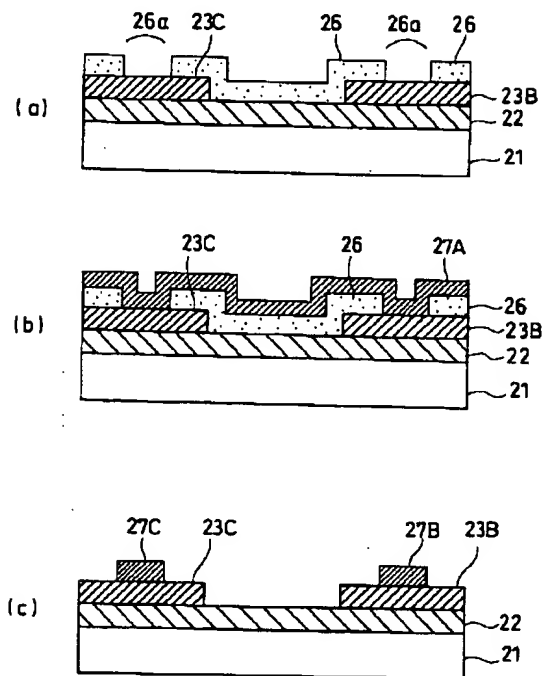
【図7】



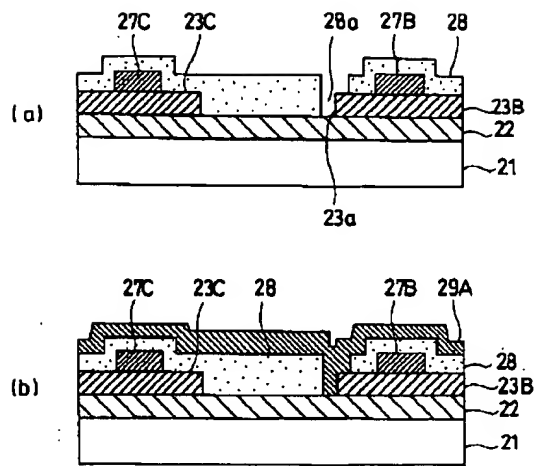
【図9】



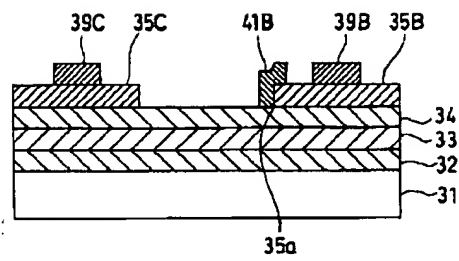
【図10】



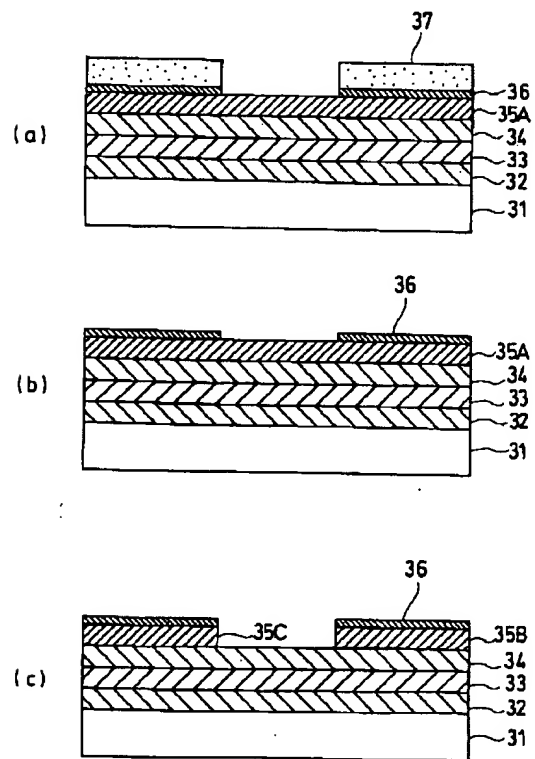
【図11】



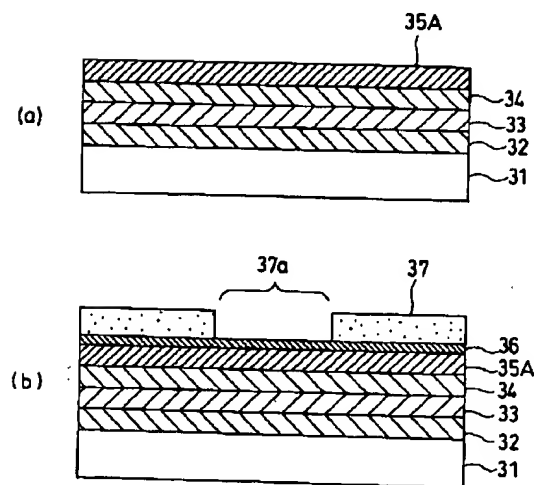
【図12】



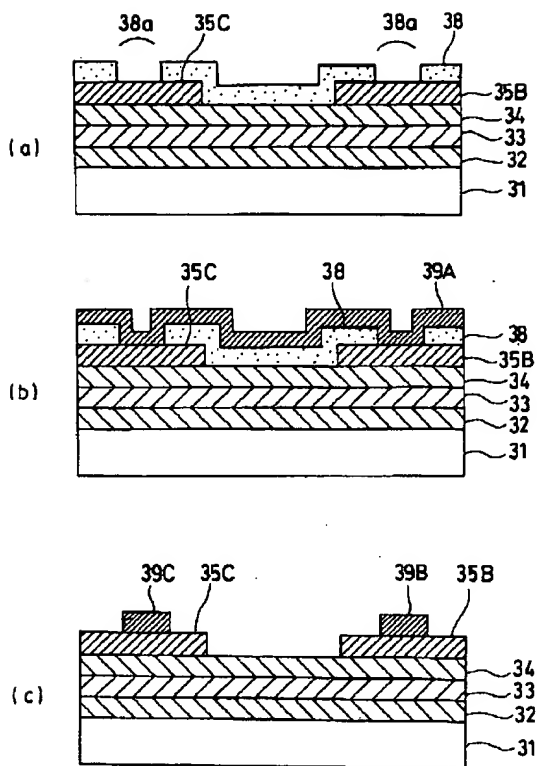
【図14】



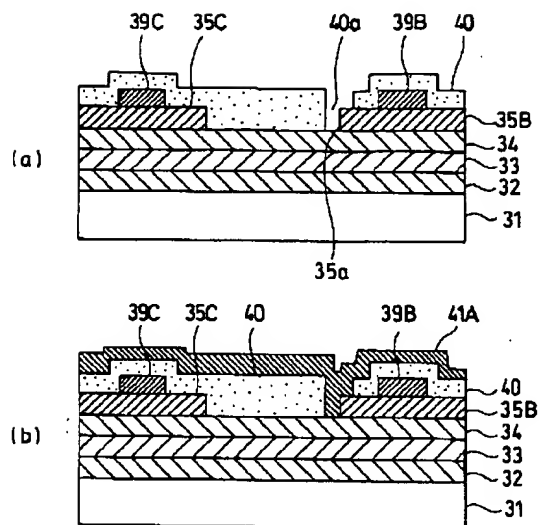
【図13】



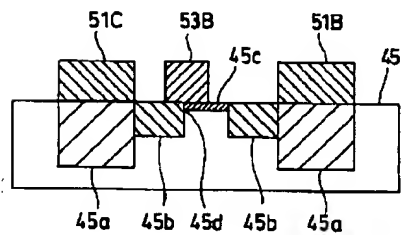
【図15】



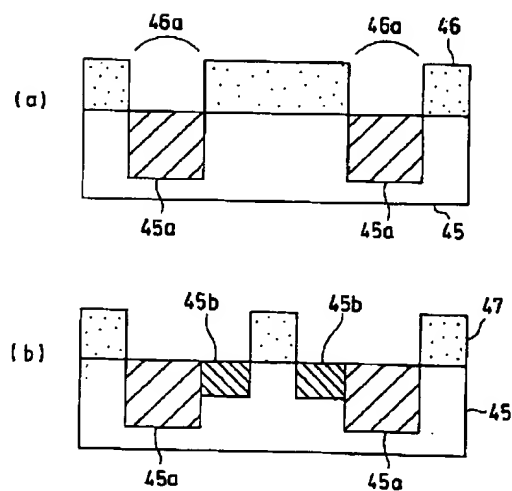
【図16】



【図17】

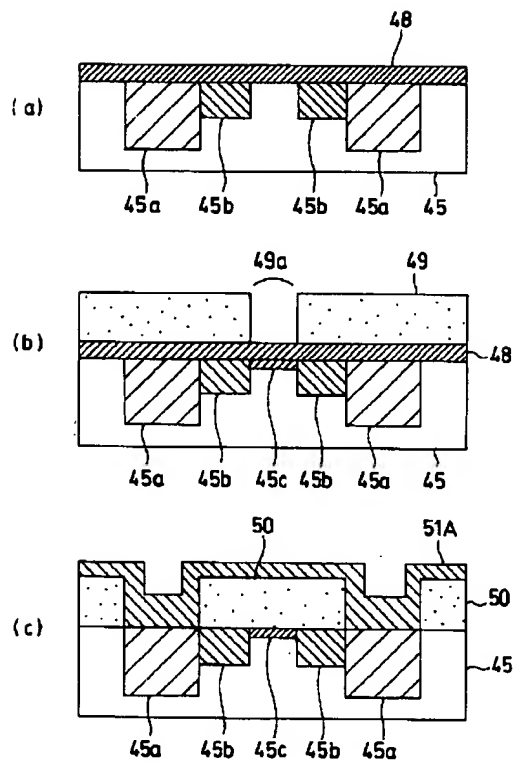


【図18】

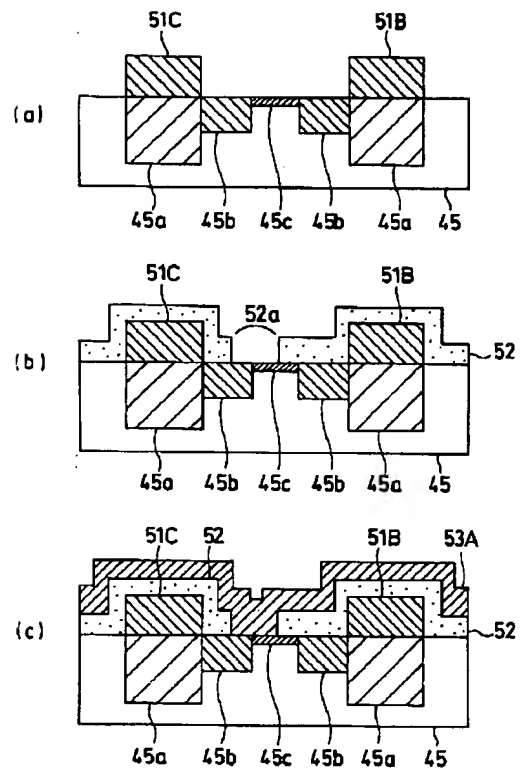




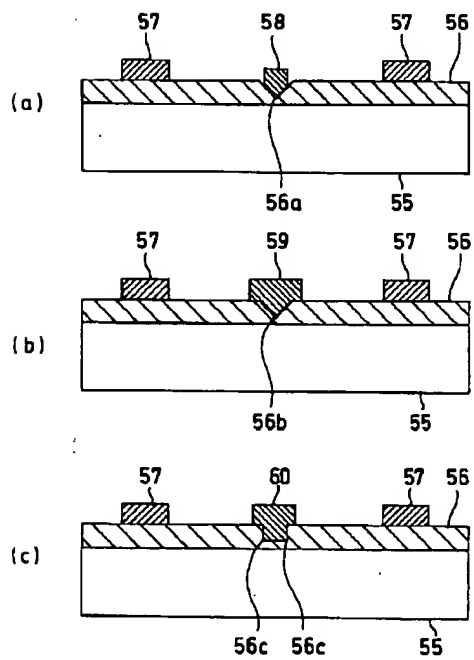
【図19】



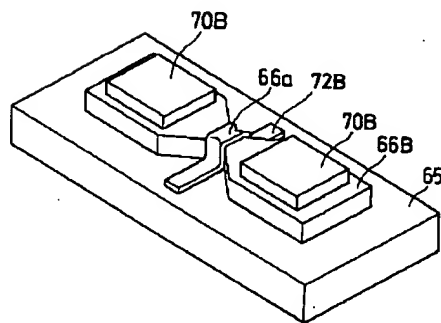
【図20】



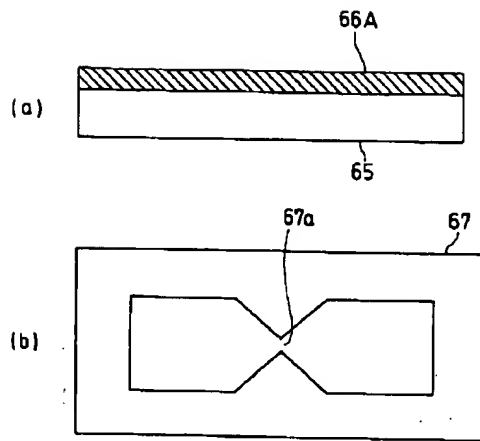
【図21】



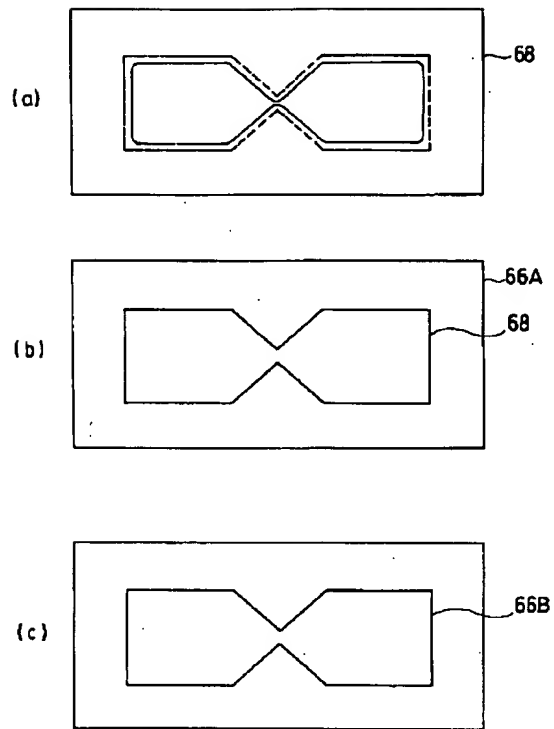
【図22】



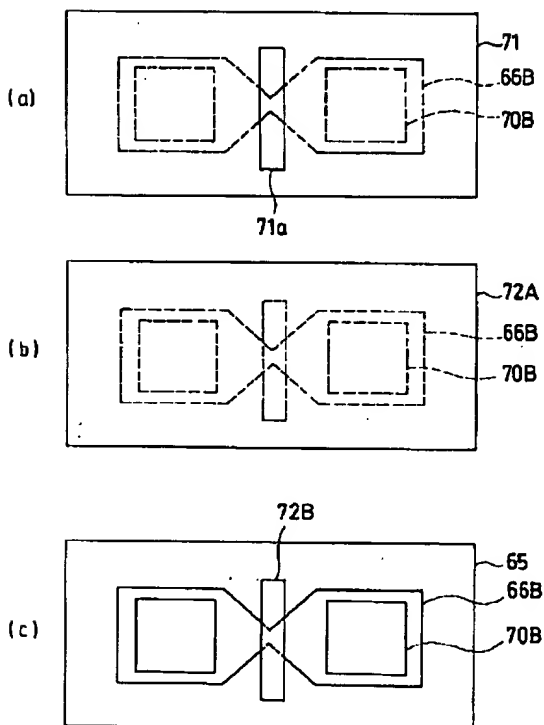
【図23】



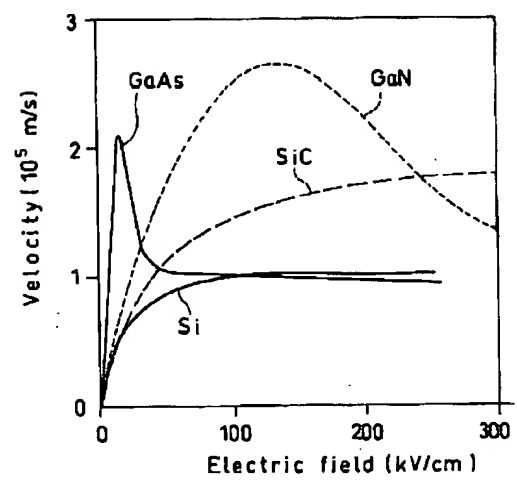
【図24】



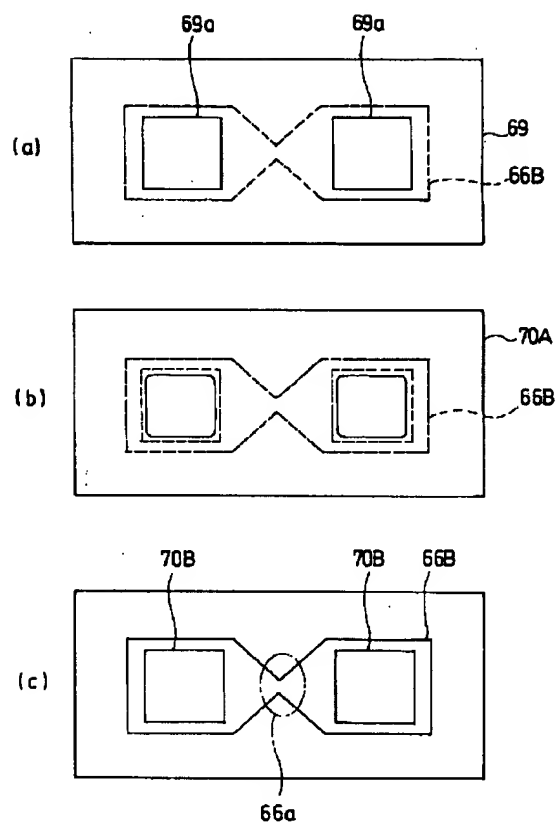
【図26】



【図27】



【図25】



## 【手続補正書】

【提出日】平成8年7月31日

## 【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】図23

【補正方法】変更

## 【補正内容】

【図23】(a)は本発明の第6の実施形態に係る電界効果型トランジスタの製造方法の工程順断面図であり、  
 (b)は本発明の第6の実施形態に係る電界効果型トランジスタの製造方法の工程順平面図である。